

Stand der Technik von Gehäusen für Chips

Abstract—Diese Arbeit handelt über die Notwendigkeit und Funktionalität von Gehäusen für Chips, sowie der historischen Eingliederung der verschiedenen Möglichkeiten, einen Integrierten Schaltkreis zu verpacken und die Tendenz der aktuellen Gehäusearten zu erläutern.

I. EINLEITUNG

DURCH die stetige Steigerung der gewollten Leistung von verschiedenen Mikrochips werden neue und innovative Prozesse zur Herstellung von Mikrochips nötig. In dieser Arbeit werden verschiedene Methoden zur Optimierung des Packagings (= Gehäuse) für Integrierte Schaltungen behandelt.

II. GRUNDLAGEN

A. Fertigung eines IC

1) *Fertigung des Wafers*: Zu Beginn der Erstellung eines Mikrochips wird das Substrat, im Kreise der Mikroelektronik meist Reinsilizium in Scheibenform, stammend aus einem Czochralski-(CZ) oder Float-Zone-(FZ) Verfahren, durch verschiedene Prozessschritte bearbeitet. Hierbei werden die gewollten halbleitertypischen Zonen wie p- bzw. n-Gebiete, Metallisierungen und Anschlüsse in den Kristall übereinander eingebracht und dementsprechend strukturiert. Der einkristalline Wafer wird um seine spezifizierten elektrischen Eigenschaften erweitert und könnte somit genutzt werden [1, 3]. Da Wafer eine runde Fläche mit einem Durchmesser von aktuell 300mm aufweisen, bedeutet das, dass die mögliche Fläche $A_{\text{wafer}} 70 \cdot 10^3 \text{ mm}^2$ entspricht [2]. Dies lässt sich durch die Gleichung die Fläche

$$A = \frac{d^2}{4} \cdot \pi$$

analog zu einem Kreis ausrechnen. Hierbei ist zu bemerken, dass eine kleine Kerbe (engl. Notch) eingebracht wird, um das jeweilige Kristallgitter des Kristalls kenntlich zu machen, sowie den Prozessgeräten eine Möglichkeit der Justage zu geben. Somit ist die benutzbare Fläche eines Wafers etwas kleiner [1].

Es lassen sich viele Schaltungen gleichzeitig mit Lithografie auf einem Wafer auftragen, die jedoch in späteren Prozessschritten noch in einzelne Dies getrennt werden müssen, da sie in einem Halbleitersubstrat gemeinsam aufgetragen worden sind. Hierbei ist noch anzumerken, dass meist eine Schichtabtragung vorzunehmen ist, da die genormte Dicke von 300mm-Wafer bei $775 \pm 25 \mu\text{m}$ beträgt [2]. Da dies jedoch für manche Anwendungen, wie Smartcards mechanisch zu dick wäre, wird

die Rückseite des gesamten Wafers auf mindestens $180 \mu\text{m}$ reduziert. Darüber hinaus wird die Rückseite dazu noch durch Aufdampfen metallisiert, um die Wärmeübertragung und die Stabilität zu erhöhen [1, 3].

2) *Vereinzeln der Dies auf dem Wafer*: Um die Dies voneinander zu trennen werden verschiedene Methoden angewendet, im Folgenden werden die beliebtesten Möglichkeiten gezeigt.

a) *Trennsägen*: Beim Trennsägen wird der Wafer mit allen Dies auf eine Zentrierplatte gesetzt und durch Klebstoffe fixiert. Danach wird je nach Methodik durch ein diamantbesetztes Sägeblatt oder Sägedraht mit einer hohen Umdrehungszahl zwischen $6000\text{--}60000 \frac{1}{\text{min}}$ auseinander gesägt. Der Nachteil der Sägeapparat liegt darin, dass dünne Wafer von einer Dicke geringere als $100 \mu\text{m}$ aufgrund der physikalischen Spannungen nicht gesägt werden können. Durch das Trennsägen entstehen Schnittkanten, selbst bei einem geringen Vorschub ergeben sich sehr dicke Kanten, die eine starke Rauheit aufweisen. Bei diesen geringen Dicken wird auf das Lasertrennen verwiesen [1, 4].

b) *Ritzen und Brechen*: Bei dem Vorgang des Ritzens und Brechens wird im ersten Schritt der Wafer angeritzt. Hierbei lässt sich dies durch Mechanisches oder Strahlenenergie umsetzen. Durch einen Laser wird präzise zwischen den beiden Dies ein nicht gesamt durchgängiger Schnitt gesetzt. Dieser ist bei einer Stärke von $250 \mu\text{m}$ maximal $30 \mu\text{m}$ tief. Im zweiten Schritt werden die schon angeritzten Wafer durch eine Brechapparat durch physikalische Einwirkung an dem Ritz gebrochen und in einzelne Dies getrennt. Alternativ dazu kann eine Diamantspitze zum mechanischen Anritzen des Wafers genutzt werden. Der Vorteil des Anritzen ist, dass die Ritzkante eine sehr geringe Schnittfugenbreite von $2,5 \mu\text{m}$ beansprucht und somit lassen sich Zwischenabstände zwischen den jeweiligen Dies deutlich verringern, somit ist die Ausbeute eines Wafers deutlich höher [1, 5].

c) *Lasertrennen durch Ablation*: Das Lasertrennen durch Ablation (lat. ablatio „Abtragung, Ablösung“) vereint die beiden vorherigen Methoden in einer, bei der nur ein einziger Laserstrahl die Dies voneinander trennt. Hierbei wird durch einen Laserstrahl mit hoher Leistung mit einer Wellenlänge von ca. $1\mu\text{m}$, somit im Infrarot-Bereich liegend, die Oberfläche $100\text{-}200\mu\text{m}$ tief aufgeschmolzen und teilweise verdampft. Durch das Aufschmelzen und die darauf folgende rapide Abkühlung entstehen an diesen Schnitten ein Polykristall, was mechanische Spannungen in den Halbleiter induzieren kann [1, 6, 7, 8].

3) *Aufsetzen auf Substrate*: Außer bei der Flip-Chip-Montage müssen die fertig getrennten, intakten Schaltkreise an die Außenwelt mit einem Substratträger (engl. Lead-Frame für Leitungsrahmen) werden. Die Rahmen werden meist aus einem legierten oder beschichtetem Metall hergestellt, um vor Korrosion vorzubeugen. Hierbei wird der Schaltkreis mittig auf dem Lead-Frame angebracht und durch Lötten, Kleben oder Legieren dauerhaft fixiert. Beim Kleben wird ein Epoxidharz benutzt, welches darauffolgend ausgehärtet werden muss. Das Verfahren des Klebens findet aus Gründen der Kostenreduktion den meisten Gebrauch, wobei der Nachteil einer thermischen Problematik bleibt. Die Ableitung von Verlustwärme ist aufgrund des geringen Wärmeleitungskoeffizienten im Vergleich zu einem Metall geringer. Dieses Epoxidharz darf den Temperaturbereich von $220\text{-}330^\circ\text{C}$ mit steigender Temperatur nur für eine kürzere Dauer erreichen. Da die Verbindung des Harzes mit dem IC sehr starr ist, hat hier das Lötten einen großen Vorteil, da es aufgrund der Weiche des Materials Spannungen und verschiedene Temperaturkoeffizienten des Lead-Frames ausgleichen kann. Hierzu ist jedoch eine Rückseitenbeschichtung aus Nickel oder Silber notwendig und ein Lotplättchen zwischen dem IC und dem Sockel. Die beiden werden zusammen erhitzt und das Lot schmilzt und verbindet den Frame mit dem IC. Da meist ein Sn60Pb40 Lot eingesetzt wurde, ist dies nicht mit aktuellen RoHS Zertifizierungen erlaubt und stellt bei Benutzen eines Lotes ohne Blei eine zusätzliche Schwierigkeit dar. Anstelle vom Lötten lässt sich der Mikrochip auch auf eine goldbeschichtete Rahmenplatte auflegieren. Hierbei werden jedoch Temperaturen von mehr als 420°C nötig, was zur Diffusion im Halbleiter oder Schmelzen von Aluminium-Metallisierungen führen kann. Alternativ kann der Chip auch direkt auf ein Gehäuse mit schon bestückten Metallanschlüssen aufgebracht werden. Hierbei kann das Material des Gehäuses aus Keramik oder Plastik bestehen, wobei letzteres eine gasdichte Umschließung des Chips ermöglichen kann [1, 9, 10].

Figure 1: a) Sockel des Siliziumchips
b) Anschlussfinger für die Ausgänge des ICs
c) Stege zur kurzfristigen Stabilität des Stanzblechs
d) Anspitzung der Pins zur Sicherstellung des Eingehens in die Leiterplatte

4) *Kontaktierung*: Der Mikrochip ist bis jetzt nur auf dem Rahmen fixiert worden, es müssen aber die Anschlusspins mit dem jeweiligen Pad auf dem Chip verbunden werden. Hierbei gibt es Methoden zur gleichzeitigen (= Komplettkontaktierung) und seriellen Befestigung (= Einzelkontaktierung).

a) *Einzelkontaktierung*: Bei der Einzelkontaktierung (engl. Bonding) wird ein Aluminium- oder Golddraht unter Hitze- und Druckeinwirkung zuerst auf das Pad des Mikrochips und danach auf dem Frame verschmolzen. Dieser Draht wird durch eine Nadel zugeführt, die auf eine Temperatur von 300°C gehalten wird. Falls keine Unterschalltechnik benutzt wird, ist das Verfahren ein Thermokompressionsverfahren, wobei im ersten Schritt durch externe Hitze Drahtball aus der Drahtzuführung geformt wird, danach dieser Ball auf das Aluminiumpad des ICs unter Hitze aufgepresst wird und verschmolzen wird. Im zweiten Schritt wird der Draht weiter rausgeführt und die Position wird auf die Zielposition im Gehäusepin gefahren und dort wieder mit Druck auf das Gehäusepad aufgebracht, jedoch gleichzeitig die Nadel weitergefahren, sodass der Draht an der Bondstelle reißt und der Vorgang von neuem wiederholt werden kann. Durch Ultraschall kann die Wärmezufuhr vermieden werden und dadurch eine thermische Beanspruchung des Chips verringert werden. Der Draht wird wieder zum Pad am IC zuerst hingeführt, dann durch schnelle Bewegung senkrecht zum Draht über dem Pad bewegt, wodurch die Hitze punktuell auf dem Draht und dem Pad wirkt und verschweißt wird. Nun wird der Draht zur Anschlussstelle des Gehäuses geführt und ähnlich zum vorherigen Schritt ultraschallverschweißt. Danach wird der Draht abgerissen und die Verbindung ist stabil. Die Kombination beider Verfahren, bei der Wärme extern zugeführt und durch Ultraschall punktuell zugeführt wird, heißt dann Thermosonic und wird durch die freie Wahl des Bonddrahts

oft benutzt [1, 11].

b) *Komplettkontaktierung*: Die serielle Kontaktierung kann deutlich verschleunert werden, indem alle Kontakte gleichzeitig durch Prozesstechnik mit dem Anschlusspins verbunden werden. Bei der Spider-Kontaktierung wird die Integrierte Schaltung durch Lötunkte mit einem Spider verbunden, das einer obenliegenden Brücke zwischen Pad des ICs und dem jeweiligen Draht verbindet. Dabei werden jedoch alle Pins gleichzeitig verbunden und somit muss der Spider genau für dieses Packaging und die Position der Pads hergestellt worden sein, und es geht die Flexibilität des Bondings verloren. Auch ist hierbei eine Gefahr der mechanischen Überlastung möglich, was im Bruch des Mikrochips resultieren kann [1]. Auch können schon auf dem Wafer alle Kontakte als Steg rausgeführt werden. Bei der Beamlead Fertigungstechnik wurden schon im Prozess des Belichtens und Bearbeitens auf jedem Die des Wafers Metalle wie Titan und Gold eingebracht. Da diese im Silizium integriert sind, wird durch eine Maske um die Kontakte bis hin zur IC-Fläche selektiv geätzt, sodass Stege in der Länge von ca. 200µm ringsum den Die herausragen. Die Beamleads werden dann durch Bonding mit den Gehäusepins verbunden. Dieses Verfahren würde keine Vereinzelung durch Sägen erfordern, ist jedoch trotz der Vorteile sehr gering, da es viele Nachteile wie größere Die-Fläche und sehr selektive Ätzschritte erfolgt. Durch die Ätze kann die Ausbeute geringer ausfallen [1, 12].

c) *Flip-Chip*: Die Flip-Chip-Montage ist in der heutigen Zeit von sehr großer Bedeutung, sie wird unter anderem in den meisten CPUs und GPUs in Personal Computer angewendet.

Figure 2: Intel i7-6700K Desktop CPU aus dem Jahr 2015

Der Flip-Chip-Prozess ist ähnlich zu einem SMD Reflow-Lötprozess. Der Mikrochip wird auf einem PCB mit internen Routes benutzt, damit dort die Pins am IC angesteuert werden können. Bei dem Mikrochip wird bei der Produktion auf die Pads ein Lot aufgetragen und umgedreht, sodass die Pads unterseitig auf die gegenseitig gespiegelten Pads des Substrat-PCB genau aufliegen. Dieses Lot wird vor der Kontaktfindung so erhitzt, dass sich das Lot durch die Oberflächenspannung zu einer passenden Kugel unter den IC-Pads bildet. Diese Kugeln werden dann auf die PCB-Pads genau aufgesetzt und durch auftragen von Flussmittel sowie anschließender äußerer

Hitzeinwirkung miteinander verlötet. Als Abschluss des Prozesses wird ein meist dunkler, nicht-leitender, Kleber (engl. Underfill) verwendet, der den Chip mit dem Board verbindet, um zusätzliche Stabilität zu geben und vor äußeren Einflüssen zu schützen, da sonst die Vorderseite des IC ungeschützt von äußeren Einflüssen wäre. Die Flip-Chip Methode bietet einen sehr geringen Flächenverbrauch, da durch das Substrat-PCB alle Kontakte theoretisch direkt zur Unterseite zum Schaltungs-PCB übertragen werden können. Bei der Flip-Chip Montage existiert kein richtiges Gehäuse um den Die, jedoch werden meist bei diesen ein IHS (engl. integrated heat spreader für integrierter Kühlkörper) aufgrund der höheren Wärmeabgabe verwendet. Frühere Chips, vornehmlich aus dem mobilen Sektor waren nicht mit einer Abdeckung gesichert, somit waren sie für den Endbenutzer unter dem Gehäuse offen sichtbar [13]. Durch Aufsetzen eines IHS wird eine Verbindung zwischen der Rückseite des Dies und der Außenseite oder einem Kühler aufgebaut. Dieser IHS wird später noch mit dem PCB des Chips verklebt und mit Wärmeleitpaste zwischen dem Chip versehen. Durch den Underfill des Dies wird ein hermetischer Verschluss möglich [1, 14, 15, 16].

Figure 3: Schematische Gegenüberstellung einer Bondkontaktierung zu einem Flip-Chip Verfahren

5) *Encapsulation*: Als letzter Schritt vor den anschließenden Tests und Evaluation wird der IC noch seiner gewollten Verpackung unterzogen. Hierbei wird das gewünschte Material des Gehäuses um den Lead Frame umzogen, um den Chip vollständig abzuschließen. Die Kurzschlüsse zur Stabilitätsverbesserung der Lead Frames ähnlich in Teil c) in Figure 1 auf Seite 2 müssen dann getrennt werden [1]. Es besteht eine kleine Auswahl an Materialien, die verschiedene physikalische Vorteile gegenüber den Anderen aufweisen können. Nachdem das Gehäuse um den Lead-Frame gezogen wurde, werden die Materialien durch hohe Temperatur ausgehärtet. Zuletzt werden Pins zu der richtigen Form gebogen, da z.B bei DIP-x Formen die Pins im 90° Winkel nach unten zeigen. Nun fehlt die Beschriftung des Chips und damit wäre die Produktion der Integrierten Schaltung fertig. Nach dem Packaging folgt meist eine Funktionsüberprüfung mit folgender Binning, womit verschiedene Toleranzen des Bausteins zu verschiedenen Preisen angeboten werden können [17]. Während des Testvorgangs wird dazu der Chip unter hoher Temperatur umgeben, um zeitlich frühe Fehlerquellen ähnlich der Badewannenkurve kenntlich zu machen [1].

B. Funktionen des Gehäuses

Der Prozess des Packagings ist ein deutlich zeitaufwändiger und meist nicht parallelisierbarer Prozess. Durch das Bonden, welches per Chip, die Lead Anzahl je Chip miteinander

verbinden muss, wird die Fertigung oftmals limitiert. Um sich hierbei Zeit zu sparen und dementsprechend die Anzahl pro Tag gefertigter Chips zu erhöhen, werden wie oben beschrieben verschiedene parallele Methoden entwickelt und verfeinert. Theoretisch ist der Chip auch ohne Packaging lauffähig, wäre jedoch für den Transport, die Lagerung und Benutzung nicht ausgelegt. Es existieren auch Ausnahmen, wie bei einem Optokoppler oder optischen Trennverstärker. Hierbei muss, um die Funktion sicherzustellen, kein äußeres Licht in die LED/Photodiode Strecke gelangen, jedoch können Lichteinflüsse bei vielen Chips die Funktionalität eines jeden Chips einschränken. Als Beispiel ist zu nennen, dass der Single-Board-Computer Raspberry Pi 2 einen Chip verbaut hatte, der verantwortlich für die Regulierung der CPU-Spannung war, der jedoch kein Gehäuse um den Die hatte, sondern Wafer-Level-Packaging aufwies. Hierbei ist der Die ungeschützt zum PCB liegend und ohne Underfill analog zur Flip-Chip-Montage aufgebracht worden und weist nur eine schützende Gehäuseoberseite auf, jedoch keine Gehäuseunterseite. Durch eine relativ starke Belichtung eines Xenon Blitzes, z.B. durch einen Blitz einer kleinen Kamera auf das PCB des Raspberry Pi 2 besteht die Möglichkeit, das gesamte System zum Absturz zu bringen. Bei Belichtung eines passenden Blitzes wird der photoelektrische Effekt aktiv, der innerhalb des Halbleiters eine Spannung induziert, und somit die Funktionalität des Chips ausschalten kann, und da dieser Chip die Regelung des Hauptprozessors übernimmt, kann dieser zum Absturz gebracht werden [18]. Somit ist es durchaus wichtig dem Die Schutz vor äußeren Einflüssen zu bieten [1, 10].

1) *Schutz des Dies:* Durch eine Verkapselung des Dies wird vor allem der IC geschützt, da äußere Einflüsse nicht innerhalb des IC gelangen können. Als häufige Ausfallquelle können somit in den Consumer Chips falsche Handhabung durch physikalische Überbelastung ausgeschlossen werden. Auch können Dies durch höhere Belastung nicht brechen, da der dünne Siliziumträger durch seine Kristallgitterstruktur spröde Merkmale aufweist und dadurch schnell durch äußere Einwirkung brechen kann, aber durch das Gehäuse geschützt ist. Durch eine feste Umkapselung wird auch sichergestellt, dass keine Chemikalien auf die wichtige Schicht des Dies gelangen kann, die den Chip manipulieren können oder kompromittieren können [1, 10].

a) *Elektrischer Schutz:* Durch den Schutz des Gehäuses werden nur noch definiert die Pins aus dem IC rausgeleitet, jedoch keine Zwischenflächen, Verbindungen und Metallisierungen, in die Elektrostatische Entladungen (engl. electrostatic discharge, Akronym: ESD) Spannungen einschleusen können. Somit kann definiert zu jedem Pad ein Überspannungsschutz eingebaut werden, z.B. durch eine passende Diodenschaltung, womit die Spannung auf das maximal Erlaubte begrenzt wird. Zusätzlich könnte durch Fehlen einer Abtrennung ein ESD-Schlag zwischen Gate-Verbindungen eintreten, womit eine Spannung induziert wird, welche die Gate-Oxidation zum Durchschlagen treiben kann und das gesamte Bauelement somit zerstören könnte. [1, 10, 19, 20]

Figure 4: Aufbau einer Diodenschutzschaltung innerhalb eines IC zur Spannungsbegrenzung

2) *Beschriftung des Chips:* Um den jeweiligen Chip aus der Fertigungsstraße einzuordnen und diesen dann schließlich zu versenden, werden Markierungen auf das Gehäuse des Chips nötig. Hierbei kann durch einen Laser oder durch Siebdruckverfahren eine Markierung stattfinden. Wenn auf dem Gehäuse des Chips zu wenig Platz findet, werden meist Herstellerspezifische Ziffern und Buchstaben verwendet. Wenn jedoch genug freie Fläche auf der Gehäuseoberseite ist, werden meist Herstellerlogo, das Herstellungsjahr mit Kalenderwoche sowie genauere Beschreibung des Temperaturbereichs oder Fertigungstoleranzen eingebracht [1, 21, 22].

Figure 5: Ein DIP-14 Chip der Serie SN74LS132 von Texas Instruments. Das N beschreibt bei diesem Typ, dass es sich um ein DIP-14 Gehäuse handelt. Dieser Chip wurde in der Kalenderwoche 32 im Jahre 1979 gebaut

C. Materialien des Gehäuses

1) *Keramik:* Keramiken wurden zu Beginn der Herstellung von Integrierten Schaltungen benutzt, da Plastik noch keine Verwendung in der Massenfertigung hatte. Zu dieser Zeit waren diese für Militär und Raumfahrt vorbehalten, da Integrierte Schaltungen noch keine realistische Chance für den normalen Endanwender hatten, da diese deutlich zu teuer waren. Das Keramikgehäuse besteht meist aus zwei Teilen, einer wannenförmigen Gehäuseunterseite, in der ein Lead-Frame schon eingebaut ist und einer Gehäuseoberseite. Auf die keramischen Gehäuseunterseite liegt der schon gebondete Die, somit muss nur noch das Gehäuse abgeschlossen werden. Der Deckel (engl. Lid) kann aus Metallen oder einem Keramikstoff bestehen. Ein aktiver Hersteller von Keramikgehäusen für die

Mikroelektronik ist der japanische Konzern Kyocera. Dieser benutzt eine Zusammensetzung von Al_2O_3 als Substanz für das Keramik und stellt aber keinen Hersteller für Mikrochips dar, sondern liefert den IC-Herstellern zu. Nach vorherigem Auftragen eines Klebemittels zwischen der Auflagefläche des Deckels und der Gehäuseunterseite wird dieses durch einen thermischen Prozess ähnlich zum Reflowen ausgehärtet. Das Material des Klebers kann aus einem Epoxidharz oder einem Niedertemperaturglas bestehen. Dieses Glas, wie das Harz auch, lässt sich bei Temperaturen von circa 430°C aushärten. Aufgrund der kurzen Haltezeit von 10 Minuten ist aber trotz der hohen Temperatur mit keinen Schäden des Dies zu rechnen [1, 23, 24]. Keramik hat gegenüber den Plastikgehäusen viele Vorteile, die jedoch aufgrund der kostenintensiven Dinge nicht mehr gebraucht werden. Unter anderem hat das Benutzen eines Keramikgehäuses, als einziges Material der heutigen Zeit, eine hermetische Versiegelung zur Folge, ohne Diffusion von Fremdatomen. Darüber hinaus wird dadurch Feuchtigkeit aus der umgebenden Luft nicht in das Gehäuse gebracht. Auch ist Keramik für die Elektromagnetische Verträglichkeit von Vorteil. Sowohl Strahlungen aufgrund der Hochfrequenzwirkung der Schaltung werden nach außen hin gedämpft und von außen eingebrachte elektromagnetische Strahlung wird weitaus stärker geschwächt. Durch das Keramik wird auch eine höhere Hitzeabfuhr bezweckt, dies wurde jedoch seit Einsetzen der Flip-Chip-Montageart ad acta gelegt. Jedoch ist auch der thermische Ausdehnungskoeffizient von Keramiken in der Mikroelektronik weit näher an dem von Silizium, als Plastiken, somit können höhere Betriebstemperaturen erzielt werden, und auch die Ausfallrate gesenkt werden. Jedoch wird heutzutage ein keramisches Package in den äußersten Randbedingungen benutzt, wobei Aerospace als großer Faktor genommen wird. Hierbei finden sich neben Keramik, als auch eine Mixtur aus Keramik mit Goldbeschichtung, auf der Außenhülle und beschichtete Pins im aktuellen Line-Up namhafter Hersteller wie Renesas und Vorago [25, 26, 27].

2) *Plastik (Duromere)*: Das Verfahren zur Gehäuseverpackung eines Chips wird mit einer Spritzpressung (engl. Resin Transfer Molding) umgesetzt. Die Grundsubstanz ist ein Epoxidharz, somit ein Duromer, bei dem Hersteller Texas Instruments aus Biphenyl oder Novolake. Es existieren auch, um ähnliche Spezifikationen der Keramikgehäusen zu erreichen, andere Epoxidarten, die z.B. weniger Feuchtigkeit absorbieren, oder hohe Temperaturen aushalten können. Diesen Grundsubstanzen werden dann bei der Herstellung verschiedene Füllstoffe hinzugefügt, in den meisten Fällen Quarzglaspartikel. Quarzglas sorgt für eine Näherung des Ausdehnungskoeffizienten des Gehäuses an den des Silizium-Dies und verschiedene andere physikalische Absicherungen wie Stoßhärte und optimieren des Elastizitätsmoduls [1]. Bei der Spritzpressung wird das vorgefertigte Material in kleinen Pallets richtig dosiert und temperiert, sodass es plastifiziert und leicht formbar ist. Unter einem Kolben wird diese Schmelze in eine Form, die ein negativ des fertigen Gehäuses abbildet, unter hohem Druck gepresst. Durch die Pressung wird der Die im Gehäuse vollständig von Spritzmasse umgeben und

die gewollte Form des Chips wird dadurch erreicht. Nach der Verweildauer und schließlich der Härtung des Materials kann der fast fertig prozessierte Chip herausgenommen werden, und die übrig gebliebenen Stege, resultierend aus den Öffnungen zum Kolben, wodurch die Masse durch gepresst wurde, abgetrennt werden. Bei der Spritzpressung in Verbindung mit einer Bondingtechnologie mit engem Raster kann es vorkommen, dass zwei Bondwires mit einander kontaktieren, da das wenig viskose, umfließende Plastik diese feinen Drähte aufgrund des Drucks des Kolbens zueinander bringen kann [10, 28]. Ein Problem des Plastikgehäuses ist, dass es zu Komplikationen mit Substraten aus Gallium-Arsenid-Technologien kommen kann. Hierbei sind zwei Probleme dominant, zum einen findet durch Plastik ein deutlich geringere Wärmetransfer statt, zum anderen gelangten in den 1990er Epoche aufgrund von nicht optimierter Materialien Plastiken in Verruf. Eine Benutzung von Plastik wurde jedoch seit 1995 bewiesen, dass dies in der Langzeit kein Problem mehr darstellt. Spezifiziert wurden die Gehäuse der Plastikverpackung von den Standardisierungsvereinigungen JEDEC und SEMI, diese sind jedoch nicht in den Mil-Std, den Standardisierungen der militärischen Güteklassen der US-Amerikanischen Behörden enthalten, jedoch erfüllen mittlerweile manche Plastikgehäuse diese Spezifikation [29, 30, 31].

III. HAUPTTEIL

A. Historische Eingliederung der Gehäuse für Mikrochips

Die erste integrierte Schaltung geht im Jahre 1958 auf Jack St. Clair Kilby zurück. Dieser entwickelte in den Laboren von Texas Instruments eine heftklammergroße integrierte Schaltung aus Germanium. Jedoch war diese Schaltung nicht einkristallin, sondern in einer hybriden Bauweise hergestellt. Mit einer monokristallinen Bauweise ist der Durchbruch für die gesamte Mikroelektronik verleitet worden. Im Jahre 1962 wurde jedoch die erste Logikfamilie von Signetics auf den Markt gebracht, als Hauptabnahmequelle galt das damalige Apollo-Programm der US-Amerikanischen NASA [32]. Noch heutige Bausteine sind die im Jahre 1964 von Texas Instruments eingeführten Logikserie 74xx. Durch verschiedene Prozessveränderungen gab es verschiedene Serien wie Low-Power-Shottky oder High-Speed-CMOS und sie finden bis heute Platz in den Teilkatalogen der namhaften Lieferanten, mit älteren und neueren Gehäusegrößen und Typen [33, 34].

1) *Durchsteckmontage (THT)*: Bei der Durchsteckmontage sieht es das Design vor, dass die Anschlussstifte der Bauteile durch die Platine geht und von unten verlötbar sind. Hierbei kann der Lötprozess sowohl per Hand mit einem LötKolben oder mit einem Lötbad stattfinden, was der einfachsten Prozedur entspricht. Jedoch lassen sich auch spezielle THT-Bauelemente mit einem Reflow-Prozess verlöten, wobei aber darauf zu achten ist, dass diese Bauelemente eine höhere Temperatur stabil aushalten können müssen, da der Reflow-Ofen länger und vollflächig auf das Bauelement einwirkt, als ein Lötbad oder, wie bei einem Handprozess, seriell Pin nach Pin anzulöten [35, 36].

a) *In-Line-Package Gehäuse*: Ein In-Line-Package ist als erstes Gehäuse für Mikrochips bekannt. In-Line bedeutet hierbei, dass sich die Anschlussstifte des Gehäuses in einer parallelen Linie an dem Gehäuse entlang finden. Es existieren verschiedene Arten des In-Line-Packagings. Bei dem Single-In-Line-Package (SIP) befinden sich alle Anschlüsse in einer einzigen Reihe, meist mit einem Abstand von einem zehntel Zoll (entspr. 2,54mm). Ein SIP ist heutzutage meist in Widerstandsnetzen zu sehen. Dazu gibt es die Dual-In-Line-Packages (DIP), wobei die Reihe eines SIPs um eine parallel liegende, um 3 zehntel Zoll versetzte Reihe der gleichen Pinanzahl ergänzt wird. Dieses DIP stellt die meist benutzte Gehäuseart der früheren Mikroelektronik dar, wobei es aber heute noch zum Prototyping immer noch Verwendung findet, da sie in ein Lochraster eines Breadboards genau passen und ohne Löten eingesetzt werden können. Selbst der erste Mikroprozessor, der Intel 4004 aus dem Jahr 1971 benutzte diese Form des Gehäuses. Auch die Logikserie 74xx ist bis heute in dieser Art gepackaged. Ein sehr großer Vorteil dieser DIP-Gehäuse ist, dass sie einfach mit einem Sockel austauschbar sind, somit sehr schnell und kostengünstig ausgetauscht werden können. Auch ohne Sockel können sie mit geringem Aufwand aufgrund der Durchkontaktierung von ihrem Lot befreit werden und ausgetauscht werden [37, 38, 39]. Eine andere Form ist das Zig-zag-In-Line-Package (ZIP), das als Ersatz des DIP gedacht war, da es einen kleineren Fußabdruck auf dem PCB hinterlässt. Ein ZIP beinhaltet zwei Reihen, wobei die Reihen ein Raster von 2,54mm aufweisen und um 3mm voneinander parallel versetzt sind. Doch, um den Abstand von den Anschlüssen zu vergrößern, ist zwischen den Reihen ein Versatz um 1,27 mm, was einen größeren Abstand der Reihen bedeutet. ZIP lässt sich v.a. heutzutage in Leistungsverstärkern im Audibereich finden, bei dem der Hersteller STMicroelectronics als Pentawatt-Gehäuse vermarktet werden. Die Nomenklatur sieht vor, dass die jeweilige Pinanzahl als Suffix nach der Art des In-Line-Packages folgt, somit sind z.B. DIP-14 und ZIP-18 mögliche Namen für die Chip-Verpackung [40]. In-Line-Packages waren bis zur Revolution durch die Oberflächenmontage in den 1990er Jahren weit verbreitet und wurden dann durch deren Derivate ausgetauscht, wobei DIP der Vorreiter der anderen Typen war. DIP Chips existieren bis zur Anzahl von 64 Pins, das jedoch sehr schnell durch die rasant wachsenden Chip-Pins ausgeschöpft waren. Die letzte Generation die die DIP-64-Gehäuse vollständig genutzt hatten, war die im Jahre 1979 vorgestellte Motorola 68000-Architektur. Auch der im selben Jahre vorgestellte Intel 8088 wurde im DIP-Gehäuse produziert. Durch die Begrenzung des Gehäuses wegen fehlenden Pins, mussten schon im Jahre 1982 der Nachfolger Intel 80186 in einem 68-Pin Gehäuse mit Möglichkeit zur Oberflächenmontage produziert werden [41]. Nichtsdestotrotz werden DIP-Gehäuse selbst heutzutage noch bei 8-bit-Mikrocontrollern wie dem bekannten Atmel ATmega328P verwendet [42].

2) *Oberflächenmontage (SMT)*: Die Oberflächenmontage (engl. Surface-Mount-Technology oder Surface-Mount-Devices) wurde schon weit vor dem großflächigen Einsatz

dieser von dem US-Amerikanischem Unternehmen IBM entwickelt. Diese Oberflächenmontage war dort aufgrund der Apollo- und Saturn-Missionen im Jahre 1966 nötig, da dort auf kleinsten Raum viele Bauelemente Platz finden mussten. Trotz der Erfindung von SMD Bauelementen waren diese Möglichkeiten nicht für den Endverbrauchermarkt vorgesehen, da es sehr unlukrativ war Oberflächenmontage anzubieten. Zu dieser Zeit waren auch Consumer Electronics auf Silizium Mikrochip-Basis erst deutlich später im Massenmarkt angekommen. Erst in den 1980er Jahren wurden die meisten Fertigungsstraßen auf SMT-Fertigung umgestellt, was hohe Anschaffungskosten machte, da Bestückungsautomaten für bedrahtete Bauelemente in den meisten Unternehmen schon Platz hatten [43, 44]. Im Gegensatz zur Durchsteckmontage müssen keine Löcher für jeden Anschlusspin des Bauteils durch das PCB gebohrt werden. Hierbei wird jeder Pin auf einem Pad, das den jeweiligen Pin des Bauteils entgegengespiegelt, aufgelötet. Hierbei wird meist ein Reflow-Verfahren verwendet, dass im ersten Schritt Lotpaste, das Flussmittel und mikroskopisch kleine Lötzinnkügelchen miteinander verbindet, auf die jeweiligen Pads aufträgt. Danach folgt die Bestückung der Bauteile auf den schon mit Lot benetzten Pads, welche danach nicht mehr verklebt werden, da die Paste leicht viskos ist und die Bauteile festhält. Die Pads dürfen auch unterhalb der Bauelemente liegen, da der Reflow Prozess das gesamte PCB erhitzt, somit können Pads auch unter dem Bauelement verlötete werden. Aufgrund der hohen Hitze wird das Flussmittel der Lotpaste flüssig und die Kügelchen der Paste akkumulieren sich und verlöten die Pins des Bauteils mit den Pads der Platine. Durch die Oberflächenspannung des Flussmittels lassen sich auch kleine Ungenauigkeiten durch das Aufsetzen des Bauteils ausgleichen, da dieses sich nach den Pads ausrichtet. Die Hitze wird nach einer genormten Kurve erst mit geringer Steigung angehoben, dann für die Zeit, die die Lotpaste vorgibt, gehalten und schließlich langsam erkaltet. Somit wird sichergestellt, dass die gesamten Bauteile exakt und vollständig mit dem PCB verbunden sind [45]. Rückblickend ist festzustellen, dass die Oberflächenmontage mittlerweile aus mehreren Gründen durchgesetzt hatte. Allein aus prozesstechnischer Sicht, lassen sich durch Oberflächenmontage die Bestückungen pro Sekunde deutlich erhöhen. Nun lassen sich aber auch große Bauelemente in einer Gurt-Rolle liefern, was die Logistik stark vereinfacht. Durch die ständige Optimierung und Verbesserung von Pick-and-Place Maschinen, die Komponenten von den Rollen abnehmen, ansaugen und auf die schon mit Lotpaste besetzten Plätze für die Bauteile anbringt, können bis zu 1000 Komponenten pro Minute anbringen, was umgerechnet etwas mehr wie 16 Bauteile pro Sekunde auf das PCB anbringt. Selbst bei dieser Geschwindigkeit liegt die Genauigkeit bei 0,04mm. Diese Trassen können teils reinraumähnliche Umgebungen schaffen, womit Lötstellen durch die Maschinenbenutzung äußerst geringe Fehler aufweisen. Nach dem folgenden Reflow Prozess lassen sich durch eine optische Erkennung Lötstellen

vollautomatisch auf Fehler überprüfen [46]. Auch wenn unter dem Bauteil Verbindungen stattfinden, lassen sich dort Fehler wie Nichtkontaktierung durch Röntgenstrahlung erkennen [47]. Ein anderer Vorteil der SMD-Bauweise ist, dass bei dem Layoutentwurf einer Schaltung deutlich mehr Freiheiten gebracht werden, nicht nur werden durch SMD die Bauteile deutlich kleiner, da das Raster deutlich kleiner werden kann, sondern die Durchkontaktierungen, in dem THT-Bauteile eingesetzt und verlötete werden, fallen weg. Dies resultiert darin, dass zwei Bauteile genau gegenüber auf der anderen Seite der Platine liegen können, falls ein zweilagiges PCB verwendet wird, aber es kommt kein Kurzschluss aufgrund der Durchkontaktierungen zur Folge. Somit bleiben dem Entwicklungsingenieur deutlich mehr Möglichkeiten, das PCB zu verkleinern oder zu optimieren [48].



Figure 6: Die Leiterplatte eines Taschenrechners FX-85DE PLUS von Casio. Hier ist bei Komponente U101 des PCB ein Chip-On-Board Package verwendet worden

a) *Chip-On-Board Package*: Chip-On-Board ist eine Möglichkeit günstig, schnell und in Großfertigung eines Geräts ein Chip zu verbauen. Hierbei wird der Chip direkt auf das PCB des Geräts mit der Rückseite angeklebt und mit den Verbindungen durch Drahtbonden verbunden. Diese Form entspricht jedoch einem Zwitter: An sich findet die Kontaktierung auf dem PCB direkt statt, gilt somit unter die Oberflächenmontage. Da hierbei aber dazu noch die Kontaktierung vorgenommen werden muss, ist dies eine Art, den Chip direkt an der Platine zu fertigen, was einer direkten Montage entspricht. Diese Anwendungsform findet z.B. in Uhren, Taschenrechner und LED-Leuchtmittel statt. Das Package ist vor allem durch den meist schwarzen Epoxidharztropfen direkt über den Chip ersichtlich. Durch diese Anbringung wird eindeutig klar, dass es sich um geringe Verlustleistungen sowie keiner mechanischer Beanspruchung handeln muss. Der starre Epoxidtropfen kann nur eine geringe Abwärme abtransportieren und ist nicht flexibel, wodurch sich bei mechanischer Beanspruchung die Verbindung trennen könnte. Auch ist es logisch, dass die Maschinen exakt justiert werden müssen, somit ist es verständlich, dass diese verbauten Chips genaue ASICs für diese Aufgabe sind, was meist nur bei sehr hohen Mengen und geringer Integrationsdichte der Platine möglich ist, da in diesem Moment die Lukrativität ansetzt [49, 50].

b) *Zweiseitiger Anschluss (SO)*: Ein Small-Outline Gehäuse ähnelt auf dem ersten Blick sehr stark einem DIP-Gehäuse, das verkleinert wurde. Ein SO-Package hat jedoch die Anschlussbeine im Gull-Wing-Stil abgelenkt und deutlich verkürzt, sodass diese Pins vom Gehäuse abstehen und somit auf Pads des PCB genau aufliegen. Hierbei wird eine deutliche Verkleinerung möglich. Das Gehäuse ist um 30-50% kleiner als das Pendant der DIP-Reihe und es wird die Durchbohrung für jeden Pin gespart [51]. Die Pins in einem SO-IC-Gehäuse haben einen Abstand von 1,27mm zu dem jeweiligen nächsten Pin in der Reihe und eine Reihe hat einen Abstand von 6mm zur anderen Reihe. Wenn der jeweilige Pin-Abstand um die Hälfte reduziert wird, spricht man von Small-Outline-Package, womit noch kleinere Gehäuse für Chips vergeben werden können. Dieser Standard ist bis maximal 16-Pins von JEDEC spezifiziert, jedoch stellen einige Hersteller diese Spezifikation auf bis zu 64 Pins fort, und halten die gleichen Abstände nach Norm weiter ein. Eine weitere Verkleinerung des Chips wird dadurch erzielt, die Anschlussbeine des Chips komplett nicht rauszuführen und somit unter den Chip zu verlegen [52].

c) *Vierseitiger Anschluss*: Quadratisch angeordnete Anschlusspins sind in drei Möglichkeiten realisierbar, einmal spricht man von Quad-Flat-Packages (QFP), wenn dort die

Pins ähnlich zum Small Outline im Gullwing Prinzip nach außen geführt werden. Hierbei lassen sich je nach Chipgröße bis zu 240 Pins, dementsprechend 60 Pins je Seite, nach außen führen. Selbst bei einem 240 Pin Chip sind die Seitenlängen gerade einmal 3,2cm lang, was einer extrem geringen Größe entspricht. Bei einem Pinabstand von 0,4mm wird Genauigkeit beim Bestücken des Mikrochips nötig [53]. Der Vorfahre dieses Gehäuses war der Plastic-Leaded-Chip-Carrier (PLCC). Bei diesem Typ waren wie beim QFP alle Pins an den Seitenflächen eines Quadrats angeordnet, jedoch waren dort die Pins nach unten gebogen, und nahmen die Form eines "J" ein. Diese Form war nötig, da es zu Beginn einen Sockel zur Montage auf Platinen gab, in welchem meist nicht flüchtige Speicher angebracht waren, die zum Beispiel den Inhalt des BIOS für Personal Computer hielt. Durch die Biegung des Pins wurden die Gehäuse jedoch sehr hoch im Vergleich zu anderen Gehäusetypen. Es waren maximal 84 Pins je Gehäuse vorgesehen, da jeder Pin einen Abstand von 1,27mm zum anderen hatte, da sonst eine deutliche Vergrößerung der Fläche zu spüren war. PLCC gehaute Chips lassen sich heute fast nicht mehr finden, jedoch sind die QFPs bis heute ein großer Teil der Gehäusetypen der namhaften Hersteller [54]. QFPs bieten auch Hobbyelektronikern die Möglichkeit diese überhaupt zu verwenden, da Lötkontaktierungen per Hand möglich sind. Falls jedoch die Anschlusspins des Chips weggelassen werden, die Kontaktierungen jedoch seitlich am Gehäuse stattfinden, dann spricht man von Quad-Flat-No-Leads-Package, wobei Anschlüsse in das Gehäuse integriert sind. Bei diesem Package lassen sich quasi keine Kontaktierung mit einem HandlötKolben finden, da die Verbindung zwischen dem PCB und dem Chip unter bzw. knapp neben dem Gehäuse stattfindet. Durch Weglassen der Verbindungen aus dem Chip heraus, lassen sich v.a. Induktivitäten am Eingang sparen. Auch lässt sich durchaus eine Flächeinsparung machen. Sie bieten auch noch den Vorteil, dass die Dicke des Gehäuses stark reduziert werden kann, was in einer Dicke von bis zu 1mm resultieren kann. Meist wird bei diesen Größen ein Thermal Pad unterhalb des Chips realisiert, um Abwärme des Chips besser wegführen zu können, welches durch Reflow-Verfahren auf die Masseschicht des PCB verlötet wird [53]. Durch die geringe Größe findet sich fast ein Chip-Scale-Packaging bei den kleinen Chips, was bedeutet, dass das Gehäuse nur um wenige Prozent größer ist, als das eigentliche Die [55].

d) *Grid Arrays*: Grid-Array-Gehäuse verstehen sich als Gehäuse, die Anschlüsse nur unterhalb des Bauteils bereitstellen. Das Grid-Array (dt. Rasterfeld) bedeutet, dass sich in einem gewissen Raster Anschlüsse befinden. Es gibt zwei Unterteilungen: Einmal in eine direkten Lötanschluss, dementsprechend Pads, und einem mit Stiften aus dem Gehäuse ragend. Durch die Benutzung der Unterseite des Gehäuses wird die Fläche des Bauteils auf das Optimum gebracht, da rein Breite, Abstand und Anzahl der Pins für die Gehäusegröße entscheidend ist. Es können teils aber unterhalb des Platzes des Dies Kondensatoren unterhalb des Packages schon angebracht sein.

Das Pin-Grid-Array mit Stiften als Anschlussstellen wurde

als erstes der gesamten Gehäuseklasse eingeführt. Mit Einführung des Intel 80486 im Jahre 1989 wurden 168 Pins auf einem Gehäuse realisiert. Durch die Stifte mussten spezielle Sockel entwickelt werden, die den Mikroprozessor fest auf dem PCB fixiert haben. Auch wäre eine Durchsteckmontage möglich gewesen, da die Pins durch das PCB steckbar wären. Es gibt jedoch keine Anzeichen, dass dies in der Realität jemals in einer normalen Situation üblich gewesen wäre. Bis in das Jahr 2004 wurde die PGA-Type immer noch von Intel verwendet, sowohl im Mobilien, stationären und industriellen Sektor von Personal Computern. Bei dem PGA-Packaging kann zwischen einer Bondtechnologie und einer Flip-Chip-Montagetechnik gewählt werden. Auch wird die Wahl von Plastik und Keramik freigestellt [56, 57].

Eine besondere Art der Pin Grid Arrays ist das sogenannte Ceramic Column Grid Array. Dieses kommt optisch dem PGA sehr nahe, jedoch existieren hier feine Unterschiede in Form der jeweiligen Anschlussstifte. Zum ersten besteht das Gehäuse immer aus Keramik, und zum anderen sind die Beinchen aus einer Legierung von 10-20% Zinn und 80-90% Blei. Aufgrund des sehr hohen Bleianteils liegt die Schmelztemperatur deutlich überhalb derer von Weichlot. Diese Stifte sind deutlich dicker, als die Beinchen eines Pin-Grid-Arrays. Diese Beinchen werden dann auf dem PCB aufgelötet, sodass ein kleiner Abstand zwischen Keramikgehäuse und Platine liegt. Diese Packagingmethode wird jedoch speziell für die Raumfahrt und dem militärischen Nutzen vorbehalten. Wegen der Beschränkung namens RoHS (engl. Reduction of Hazardous Substances für Beschränkung der Verwendung von gesundheitsgefährdenden Substanzen) der Europäischen Union wurde das Verarbeiten von Blei innerhalb eines Bauelements stark bzw. fast komplett untersagt [58]. Diese Regelung ist jedoch nicht für den militärischen Bereich oder der Raumfahrt anwendbar. Der große Nutzen der Verwendung dieser Legierung liegt darin, dass Temperaturkoeffizienten zwischen der Platine und dem Gehäuse des Chips ausgeglichen werden können. Dazu wird durch den Abstand der Komponenten die Analyse der Lötstelle deutlich leichter gemacht [59, 61].

Durch Einführung eines Land Grid Arrays, welches keine Beine unterhalb des Gehäuses rausführt, lässt sich analog zum Quad-Flat-No-Lead-Package die parasitären Induktivitäten deutlich verringern. Beim LGA von Intel, später auch vom Konkurrenten AMD benutzt, existiert zwanghaft ein Sockel auf dem PCB, auf dem dieser Chip eingebaut wird. Der Chip hat nur noch Pads unterhalb des Gehäuses, die durch je eine Feder pro Pin im Sockel kontaktiert werden. Ein großer Vorteil von LGA für den Konsumenten ist es, dass die Pins des Chips durch unsachgemäße Benutzung, beispielsweise durch Herunterfallen, nicht geschädigt werden können. Bis heute existieren LGA-Chips und dementsprechend Sockel mit bis zu 4094 Kontakten, auf einer Dimension von 5,85cm · 7,54cm, was einer Fläche von 44,1cm² entspricht. Somit fällt auf einen Pin eine Fläche von 1,077mm² unter Berücksichtigung der Abstände zu anderen Pins und dem Gehäuse Rand. Diese Gehäusetypen sind jedoch meist für die Benutzung bei einem Prozessor in Benutzung ausgelegt, da sie

einen Sockel voraussetzen [60].

Eine allgemein verwendete Form ist das Ball-Grid-Array. Hierbei wird der Chip schon mit Löt­kü­gel­chen auf den Pads ausgeliefert. Diese Bauelemente werden dann auf das PCB durch eine Bestückungsmaschine genau ausgerichtet und auf die Pads des PCB gelegt. Im Nachhinein werden die betroffenen Elemente durch einen Reflow-Ofen fertig mit Lot verbunden. Aufgrund des planen Aufliegens sind auch die parasitären Induktivitäten sehr gering. Es verfällt beim Prototypenbau und Hobbynutzen die Möglichkeit mit einem Handlöt­kol­ben das Bauelement mit dem PCB zu verlöten. Hierbei werden zum Teil ein Pin Abstand von unter 0,5 mm möglich, sodass im Beispiel von Fujitsu bis zu 625 Pins auf eine Fläche von $1,7 \cdot 1,7$ cm, somit $2,89\text{cm}^2$. Damit fällt hierbei ein Flächegebrauch im Durchschnitt von $0,4624\text{mm}^2$ pro Pin an [53].

Figure 7: Vergleich der verschiedenen Grid Arrays [61, 62]

B. Moderne Angriffspunkte im Optimierungsprozess

Mit der Mobilisierung und ständig nötigen Verkleinerung von Mikrochips werden neue Möglichkeiten zur Verkleinerung des Fußabdrucks auf der Platine gesucht, sodass eine höhere Integrationsdichte möglich ist.

1) *Multi-Chip-Package*: Eine Optimierungsmöglichkeit besteht heutzutage darin, mehrere Chips innerhalb eines Packages zu vereinen. Hierbei sind zwei Möglichkeiten offen, einmal die horizontale und die vertikale Stapelung. Beim Multi-Chip-Package werden Dies auf einem Substrat­träger, meist aus einer Platine aus Fiberglas mit zwei bis vier Verdrahtungsebenen, planar nebeneinander aufgebracht, wobei die Dies entweder per Wirebonding oder Flip-Chip-Technologie kontaktiert werden. Hierbei können auch beide Fälle auf einem MCP möglich sein, und diese können zumal noch aus verschiedenen Halbleitersubstraten bestehen, was den großen Vorteil des Vereinens der analogen und digitalen Schaltungsentwicklung besser in einem Package unterbringen kann [63]. Die Weiterentwicklung des Multi-Chip-Packages nennt sich System-In-Package und erlaubt eine 3D-Integration von Chips übereinander, sowie das Einbauen von passiven Bauelementen im Package. Hierbei wird vor allem Through-Silicon-Vias, also Durchkontaktierungen im Silizium-Die an sich benutzt, um Verbindung zu den anderen Dies herzustellen, da durch das Aufstapeln von Dies im 3D-Die-Stacking-Prozess keine andere Möglichkeit gelassen wird. Um TSVs jedoch benutzen zu können, werden entweder Löt­kü­gel­n oder Solid-Liquid-Interdiffusion benutzt [64]. Auch ist vorher eine Verdünnung des Wafers auf 20 bis $100\mu\text{m}$ nötig [65]. Es können aber noch meist Bond­drähte von den Die-Seiten nach außen zum Substrat getroffen

werden. Um das zu erreichen werden die Dies ähnlich zu einer Pyramide von unten nach oben der Größe nach sortiert, sodass bei jedem Die ein Rand für Bond­pads frei ist, wenn die Dies eine eigene Verbindung zum Substrat benötigen [66]. Durch die Benutzung von SiP werden viele Vorteile bedient. Hersteller von System-in-Package Produkten haben eine deutlich geringere Entwicklungszeit für ihre Schaltungen, da sie sich ohne Probleme zugekaufte Schaltungen bedienen können, ohne dass diese Zulieferer ihre Schaltungen dem Hersteller offenbaren müssen. Bei einer System-On-Chip, also der Systemintegration von Komponenten im eigentlichen Halbleitermaterial wäre dies der Fall, dass Chip­her­steller entweder mit hohem Zeitaufwand alle notwendigen Komponenten entwickeln müssen, oder IP-Blocks, Schaltungsaufbauten, also geistiges Eigentum der anderen Zulieferer, in ihr Chipdesign importieren müssen. Hersteller können so schon bestehende, vollständig funktionale Elemente einfach integrieren und sogar in anderen Chips wieder integrieren [67]. Zum Teil werden in System-In-Package-Verfahren auch ein Interposer, also ein sehr dünnes und feines Laminat, ähnlich eines PCB, jedoch mit feineren Strukturen, eingebaut, um die Möglichkeit des Neuverdrahtens im zweidimensionalen Bereich zu geben. Vor allem bei Speicher gibt es eine außerordentlich große Ausbeute, mehr Speicher pro Volumen in ein Gehäuse einzubringen, da diese Speicherbänke sich im meisten nicht von einander unterscheiden und leicht gestapelt werden können [68].

a) *High Bandwidth Memory System-In-Package in Consumer Electronics*: High Bandwidth Memory ist ein Beispiel für ein System-In-Package im Consumer-Bereich. Der Grafikkartenhersteller AMD und der Speicherhersteller SK Hynix hatten bei ihrer Kooperation einen Weg entwickelt, um Grafikkarten und den hierfür notwendigen Speicher innerhalb eines Packages zu vereinen. Der Standard HBM wurde danach in der ersten Revision im Jahre 2013 von der JEDEC zertifiziert. Die Videospeicher nehmen viel Platz auf dem PCB der Grafikkarte ein, wodurch sich bei einer Multi-Chip-Package der Flächenverbrauch deutlich verringern kann. Durch eine 3D-Integration der Videospeicher auf dem Package des Grafikprozessors lassen sich bis bis zu 94% weniger Flächennutzung erreichen. Die Entwicklung hatte bewusst eine Vereinigung im Package und nicht auf dem Chip gewollt, da verschiedene Einheiten ein Kompatibilitätsproblem aufweisen könnten. Diese Technologie benutzt einen Silizium Interposer, der die Komponenten Speicher und Prozessor miteinander in Verbindung bringt, wodurch, im Gegensatz zu einer Lösung auf dem PCB, deutlich kürzere Verbindungen möglich sind. Pro Speicherblock sind jeweils vier Speicher-Dies per TSV und Microlöt­kü­gel­n übereinander gestapelt und verbunden, wobei vier Speicherstapel (inklusive Logischer Einheit) auf einem Interposer und ein Grafikprozessor Platz finden. Die Bandbreite eines jeden Chips wurden deutlich erhöht, da die Busbreite um den Faktor 32 erhöht worden ist, verglichen zur Standardvariante, dem Grafikspeicher GDDR5 [69].

Figure 8: Aufbau eines vollständigen Packages mit Enthaltener GPU und VRAM

2) *Package-on-Package*: Eine weitere Möglichkeit, die Ähnlich des System-In-Package ist, dass bereits verpackte Chips übereinander gestapelt werden. Hierbei wird entgegen einer Pyramide zuerst der kleinste Chip, danachfolgend der größere Chip aufeinander gebracht. Beide Chips werden mit BGA durch Löt Kügelchen verbunden und schließlich das Package mit dem PCB verbunden. Der Fußabdruck des gesamten Turms muss hier immer gleich sein, da sonst keine Verbindungen zum nächsten gebildet werden können. Meist wird beim nächsten Chip an der Platine um den Chip Durchkontaktierungen gebildet, die direkt zum darauf folgenden Chip kontaktiert werden. Teilweise werden hier Abgriffe zum unteren Chip direkt aufgebracht, womit kürzere Verbindungen von Systemkomponenten gebildet werden können. Ein großer Nachteil der PoP-Technologie ist, dass nur schlecht die Abwärme des untersten Chips an die Umwelt durch einen Kühlkörper abgegeben werden kann [70]. Insbesondere bei mobilen Anwendungen, fällt diese Beschränkung weg, da dort ausschließlich Komponenten verwendet werden, die so energieeffizient wie möglich sind. Verwendung findet diese Art zum Beispiel bei dem Endgerätehersteller Apple, der unter seinen mobilen Geräten den hauseigenen SoC-Prozessor mit Arbeitsspeicher mit einem Package-On-Package-Verfahren miteinander verbindet und so auf die Hauptplatine aufgebracht [71]. Durch diese Prozesstechnologie kann sehr viel Platz auf der Platine gespart werden, was im mobilen Sektor einen riesigen Vorteil zu Tage bringt.

Figure 9: Schematischer Aufbau einer PoP-Struktur, bei dem der Speicher den Prozessor umschließt [72]

3) *Chip-Scale-Packaging*: Chip-Scale-Packaging beschreibt eine Eigenschaft eines Gehäuses, die durch

das Verhältnis von Größe des Dies zur Größe des Gehäuses beschrieben wird. Falls dieses Verhältnis maximal 1,2 entspricht, also das Gehäuse maximal 20% größer als der gesamte verwendete Die ist, so spricht man von einem Chip-Scale-Package [55]. Um diese Definition zu erreichen können keine Anschlüsse außerhalb des Gehäuses liegen, und alle Kontaktierungen liegen unter dem Gehäuse, ähnlich zu einem BGA-Gehäuse, jedoch nur in deutlich verkleinerter Form. Durch die Pinbegrenzung von maximal 143 Stück bei den meisten Herstellern lässt es nur Spielraum für kleinere, weniger komplexe Chips, wodurch jedoch die meisten Chips innerhalb eines Systems in einem diese Bauart nutzen können, da meist CPUs, GPUs und FPGAs viele Pins aufweisen. Trotz der geringeren Zahl müssen diese Pins jedoch einen kleinen Durchmesser sowie einen sehr kleinen Zwischenabstand von bis zu 0,3 mm aufweisen [73]. Diese Gehäusebauart lässt sich durch alle Formen des Die-Attachments realisieren, hierbei gibt es also die Möglichkeit zwischen Flip-Chip und Lead-Frames mit Bondwire-Kontaktierung zu entscheiden. Aufgrund der deutlich höheren Flächengebrauchs bei einem Lead-Frame mit Bondtechnologie wird zum Beispiel bei jener Technologie bei dem US-Amerikanischen Chiphersteller Analog Devices von einem "near chip scale package", was bedeutet, dass trotz der enormen Flächeneinsparung kein Chip-Scale-Package erreicht wird [74].

4) *Wafer-Level-Packaging*: Das Optimum der Flächennutzung des Gehäuses im Vergleich zum jeweiligen Die beschreibt die Technologie des Wafer-Level-Packagings. Hierbei ist das Verhältnis von Gehäusefläche zu Die-Fläche genau 1, da das Gehäuse noch vor dem Vereinzeln der jeweiligen Dies auf dem gesamten Wafer aufgetragen wird. Im Gegensatz zu allen vorherigen Methoden, Gehäuse um einen Die zu bringen, bleibt der Wafer ohne jegliche Vereinzelung (engl. Dicing) im ganzen erhalten. Da bis zu diesem Zeitpunkt kein Standard der namhafter Organisationen stattgefunden haben, weisen verschiedene Hersteller unterschiedliche Methoden auf. Aufgrund der neuartigen Entwicklung in den 1990er Jahren und der ersten Massenfertigung im Jahre 2000 wurde diese Art der Technologie erst spät eingesetzt, jedoch zeichnet sich heute ein Bild ab, bei dem auszugehen ist, dass WLP in den meisten mobilen Anwendungen als Standard anerkannt wird. Dadurch dass die gesamte Fertigung, Testen und Burn-in der Chips auf dem Wafer geschieht, wird eine Parallelisierung der gesamten Produktion deutlich [75, 76].

Figure 10: Vergleich zwischen Wafer-Level-Packaging zu üblicher Packagingweise

a) *Fan-In-Wafer-Level-Package*: Die erste Methode der Wafer-Level-Packaging, die heutige Fan-In-WLP Methode bewirkt, dass die meisten Maschinen der vorherigen Prozessart weiterbenutzt werden können. Hierbei bleibt der Wafer die ganze Zeit vollständig intakt, was bedeutet, dass genau der Fußabdruck des Dies als Kontaktierungsfläche bleibt. Da durch die Belichtung der lithografischen Schaltung die Pads meist geometrisch nicht genau auf einem Raster landen können wird auf dem gesamten Wafer für jeden darauf liegenden Die eine Umverdrahtungsschicht (engl. redistribution layer) aufgebracht, damit die Anschlüsse des Dies an das Raster des PCB durch Lötperlen, wie bei einem BGA-Gehäuse, angeschlossen werden können. Aufgrund verschiedener Hersteller steht jedoch nur fest, dass sich die Leitungsverbindungen aus Kupfer oder Aluminium in einer dielektrischen Schicht bestehen. Die Beschränkung der Pinanzahl ist durch verschiedene Gründe gegeben. Beim Fan-In-Prozess ist jedoch noch ein Problem der mechanischen Spannungen aufgrund von Temperaturunterschieden des PCB und dem verwendeten Halbleitermaterial. Bei der Fehlerbetrachtung wird der mittlere Pin als Ursprung gesehen. Je weiter nun ein anderer Pin liegt, hat das zur Folge, dass bei einem unterschiedlichen Ausdehnungskoeffizienten der Materialien bei größeren Temperaturunterschieden weiter weg vom Mittelpunkt gestreckt wird. Durch eine solche Belastung können die Lötverbindungen an der Siliziumschicht bzw. dem Redistribution Layer gebrochen werden und unterbrochen werden. Somit ergibt sich für einen ca. $3 \cdot 3\text{mm}$ Die eine maximale Anzahl von $6 \cdot 6$ Pins, die einen Abstand von $0,5\text{mm}$ haben, falls davon ausgegangen wird, dass das Bauelement mehrere Wärmezyklen aushalten muss. Zwar lassen sich durch verschiedene Optimierungen eine größere Pin-Anzahl erreichen, z.B. durch Auftragen von Polymeren auf den Die und darauffolgende Kontaktierung eines RDL. Nachdem auf dem Wafer jeder Die dem Funktionstest und dem Burn-In unterzogen wurde, findet nach Auftragen der Lötperlen die Vereinzelung statt. Als Endprodukt findet sich der reine Die mit Lötunkten an der Unterseite, es findet weder eine Lasermarkierung noch eine zusätzliche Verpackung aus Keramik, Plastik oder Ähnlichem statt. Ein Nachteil der Fan-In-WLP Methodik ist, dass kein Die-Stacking des Chips stattfinden kann. Viele Neueartige Möglichkeiten, wie PoP und Multi-Chip-Packages sind nicht möglich [75].

b) *Fan-Out-Wafer-Level-Package*: Nichtsdestotrotz ist die Pin-Anzahl für manche Anwendungen bei Fan-In-WLP alleine wegen der physikalischen Größe des Dies zu gering, muss die Gehäusefläche um einen Faktor erhöht werden. Fan-Out-WLP stellt zwar ein Chip-Scale-Packaging dar, jedoch wird hier bewusst um den Die ein Gehäuse aus einem Epoxidmaterial gebildet, was in einem Verhältnis von über 1 entspricht. Um dies leicht zu schaffen, werden die Dies gegen der anfänglichen Definition vereinzelt, jedoch darauffolgend auf einem leeren, mit Klebstoff versehenen, Wafer mit einem gewollten Abstand zum nächsten Die genau platziert. Hier wird darauf geachtet, dass nur known-good Dies, also voll funktionale Dies aufgetragen werden. Auf diesen Carrier-Wafer wird nun eine Vergussmasse vollumfassend aufgebracht,

dementsprechend liegt um den Die ein Epoxidgehäuse, und durch die Vergussmasse wird auch auf die Rückseite des Dies ein Plastikaufgebracht. Durch die definierte Vergrößerung des Gehäuses lassen sich viel mehr Pins auf dem IC realisieren, diese Pins müssen aber von unterhalb des Dies nach unterhalb des Gehäuses durch einen RDL in Kontakt gebracht werden. Danach wird der Carrier von dem Zielwafer abgetrennt und nachbearbeitet. Im Nachhinein ist das Aussehen des Chips ähnlich zu einem BGA-Gehäuse. FO-WLP gibt jedoch die Möglichkeit, viele Chips auf einem Carrier aufzubringen und parallel zu verarbeiten. Der allgemeine Ablauf des Verfahrens ist bei den meisten Unternehmen unterschiedlich, auch gibt es die Möglichkeiten die Dies umgedreht auf dem Carrier anzubringen, was einem Vorteil in der Multi-Chip-Modul-Technologien bringen kann. Hierbei findet eine stetige Entwicklung statt, die meisten Chips, die innerhalb eines Mobiltelefon der markenhaften Herstellern sitzen, setzen auf die Technologie des Fan-Out-WLPs [75].

Figure 11: Wafer-Level-Packaging Methoden [77]

IV. AUSSICHT

Aufgrund des Chip-Scale-Packagings, also die Fläche des Gehäuses ist fast oder genau so groß wie der Die, wird es schwer, eine weitere Optimierung zu treffen. Hierbei sind jedoch noch Möglichkeiten des Fan-In-Wafer-Level-Packagings, wobei kleinere Pins und kleinere Zwischenabstände derer nötig sind, offen.

V. FAZIT

Durch die rapide Entwicklung von mobilen Geräten treibt das die Ideen für eine Optimierung des Gehäuses immer weiter an. Über die Entwicklung der ersten Chips mit wenig Kontakten zu anderen Schaltungen, findet heutzutage immer noch durch die Einhaltung des Moores-Law eine rasante Entwicklung statt. Nur wenige Jahre vergingen, bis neue Gehäuse entwickelt werden mussten, um die notwendige Kontaktanzahl von Prozessoren unterzubringen und so wuchs das Gehäuse von Kontaktierungen neben dem Gehäuse zu unterhalb des Gehäuses. Erst durch die Veränderung der Verwendung von mobilen Geräten, wird es mehr und mehr nötig, die Fläche eines Gehäuses so gering wie möglich zu halten. Die Verkleinerung von Pinabständen sowie Kontakten unterhalb des Gehäuses hat zur Folge, dass deutlich weniger Amateure Zugang zur Verwendung von Integrierten Schaltungen haben. Doch selbst eine Optimierung der Kontaktierungen reichte nicht, es wurde für Unternehmen zwingend notwendig, Chips innerhalb des Packages oder die Packages übereinander zu stapeln, was heute der State-Of-The-Art Methodik der Herstellung von Chips entspricht.

REFERENCES

- [1] Author: Ulrich Hilleringmann Title: Silizium-Halbleitertechnologie Grundlagen mikroelektronischer Integrationstechnik, Springer Fachmedien Wiesbaden 1995, 6. Auflage 2014
- [2] Author: SVMl.com Title: 300mm Silicon Wafer Link:<https://svmi.com/product/12-300mm-wafers/> auch: <https://svmi.com/wp-content/uploads/2020/09/SV025.pdf>
- [3] Author: STMicroelectronics Title: INTRODUCTION TO SEMICONDUCTOR TECHNOLOGY Link:https://www.st.com/resource/en/application_note/cd00003986-introductio-to-semiconductor-technology-stmicroelectronics.pdf
- [4] Author: Disco Corporation Title: Product Lineup Link:https://www.disco.co.jp/eg/products/catalog/doc/product_lineup.pdf
- [5] Author: ipgphotonics Title: Laserritzen Link:<https://www.ipgphotonics.com/de/applications/micromachining/scribing>
- [6] Author: Maridel Lares Title: Laser Dicing Technique Cuts Wafers from the Inside Out Link:https://www.photonics.com/Articles/Laser_Dicing_Technique_Cuts_Wafers_from_the/a31907
- [7] Author: Domke, Matthias et al. Title: Ultrafast-laser dicing of thin silicon wafers: strategies to improve front- and backside breaking strength, SEPTEMBER 2017. Link:<https://link.springer.com/article/10.1007/s00339-017-1374-7>
- [8] Author: R. Ebert et al. Title: Hochgeschwindigkeits – Lasertrennen von Silizium Link:http://laz.hs-mittweida.de/3_forschung/35_hochrate/beispiele/Lasermagazin_Spannung.pdf
- [9] Author: Henkel AG Title: Elektrisch leitende Die-Attach-Pasten Link:<https://www.henkel-adhesives.com/de/de/produkte/industrielle-klebstoffe/die-attach-klebstoffe/elektrisch-leitende-die-attach-pasten.html>
- [10] Author: National Semiconductor Title: Semiconductor Packaging Assembly Technology Link:<https://www.ti.com/lit/an/snoa286/snoa286.pdf>
- [11] Author: The Welding Institute Title: WHAT IS WIRE BONDING? Link:<https://www.twi-global.com/technical-knowledge/faqs/what-is-wire-bonding>
- [12] Author: M.P. Lepselter et al. Title: Beam-Lead Devices and Integrated Circuits Link:https://ethw.org/w/images/9/90/Original_IEEE_paper-1965.PDF
- [13] Author: Intel Title: Mobile Intel® Prozessor-Pakettypen Link:<https://www.intel.de/content/www/de/de/support/articles/000006761/processors.html>
- [14] Author: Julian Haberland Title: Flip Chip Adhesive Bond Technologies Link:https://www.izm.fraunhofer.de/de/abteilungen/system_integrationinterconnectionstechnologies/leistungsangebot/prozess-_und_produkentwicklung/flip_chip_adhesivebondtechnologies.html
- [15] Author: Les Ammann Title: The package interconnect selection quandary Link:<https://www.eetimes.com/the-package-interconnect-selection-quandary/>
- [16] Author: Intel Title: Packetyp Leitfaden für Intel® Desktop Prozessoren Link:<https://www.intel.de/content/www/de/de/support/articles/000005670/processors.html>
- [17] Author: Shai Eisen Title: Early And Fine Virtual Binning Link:<https://semiengineering.com/early-and-fine-virtual-binning/>
- [18] Author: Liz Upton Title: Xenon Death Flash: a free physics lesson Link:<https://www.raspberrypi.org/blog/xenon-death-flash-a-free-physics-lesson/>
- [19] Author: Ming-Dou Ker Title: Whole-Chip ESD Protection Design with Efficient VDD-to-VSS ESD Clamp Circuits for Submicron CMOS VLSI Link:<https://ieeexplore.ieee.org/document/737457>
- [20] Author: Adrien Ille et al. Title: Reliability Aspects of Gate Oxide under ESD Pulse Stress Link:<https://ieeexplore.ieee.org/abstract/document/4401771>
- [21] Author: Daniel Beardsmore Title: IC date codes Link:https://telcontar.net/KBK/tech/IC_dates
- [22] Author: Elektronik-Kompodium Title: SMD-Code Link:<https://www.elektronik-kompodium.de/service/smdcode.php>
- [23] Author: Kyocera Title: Characteristics of Kyocera Fine Ceramics Link:<https://global.kyocera.com/prdct/fc/product/pdf/material.pdf>
- [24] Author: Spectrum Semi Title: CQC08009 Model Link:<https://www.spectrum-semi.com/CQC08009.pdf>
- [25] Author: Renesas Title: Intersil Space Products Link:<https://www.renesas.com/us/en/document/bro/intersil-space-products-brochure?language=en>
- [26] Author: Vorago Title: VA41620 – Radiation Hardened ARM® Cortex®-M4 w/ FPU MCU Link:<https://www.voragotech.com/products/va41620>
- [27] Author: Sandia National Laboratories Title: High Performance and Reliability Microelectronics Packaging Link:<https://www.osti.gov/servlets/purl/1106923>
- [28] Author: Dipl.-Ing. Karl-Friedrich Becker Title: Prozess- und Produktentwicklung - Molding Link:https://www.izm.fraunhofer.de/de/abteilungen/system_integrationinterconnectionstechnologies/leistungsangebot/prozess-_und_produkentwicklung/molding/molding_ext.html
- [29] Author: William J. Roesch et al. Title: GaAs IC Reliability in Plastic Packages Link:<http://web.cecs.pdx.edu/~cgshirl/Documents/plastic95.pdf>
- [30] Author: Wen-Tang Chen et al. Title: Thermal analysis and design of plastic packages for GaAs RF IC power amplifiers Link:<https://ieeexplore.ieee.org/document/534567>
- [31] Author: Department of Defense Title: Semiconductor Packaging - A DoD Dual Use Technology Assessment Link:<https://apps.dtic.mil/dtic/tr/fulltext/u2/a324633.pdf>
- [32] Author: Charles Fishman Title: How NASA gave birth to modern computing—and gets no credit for it Link:<https://www.fastcompany.com/90362753/how-nasa-gave-birth-to-modern-computing-and-gets-no-credit-for-it>

- [33] Author: Computer History Museum Title: 1963: STANDARD LOGIC IC FAMILIES INTRODUCED Link:<https://www.computerhistory.org/siliconengine/standard-logic-ic-families-introduced/>
- [34] Author: Texas Instruments Title: Logic Guide Link:<https://www.ti.com/lit/sg/sdyu001ab/sdyu001ab.pdf>
- [35] Author: PHOENIX CONTACT Title: Wellenlöten Link:https://www.phoenixcontact.com/online/portal/de?ldmy&urile=wcm:path:/dede/web/main/products/technology_pages/subcategory_pages/PCB_mounting_wave_soldering/b6d53fa2-481f-4f2b-acd9-296a3569bdfd
- [36] Author: Ralf Higgele Title: Keine Mischbestückung mehr- Through-Hole Reflow Link:<https://www.elektroniknet.de/elektronikfertigung/fertigungstechnik/keine-mischbestueckung-mehr.119803.html>
- [37] Author: Computer History Museum Title: 1965: PACKAGE IS THE FIRST TO ACCOMMODATE SYSTEM DESIGN CONSIDERATIONS Link:<https://www.computerhistory.org/siliconengine/package-is-the-first-to-accommodate-system-design-considerations/>
- [38] Author: EESemi Title: Single-in-Line Package (SIP) Link:<https://eesemi.com/sip-package.htm>
- [39] Author: EESemi Title: PDIP - Plastic Dual-in-Line Package Link:<https://eesemi.com/pdip.htm>
- [40] Author: STMicroelectronics Title: VN820-E Link:<https://www.st.com/resource/en/datasheet/vn820-e.pdf>
- [41] Author: CPU Collection Title: Common CPU Package Types Link:<http://www.cpu-collection.de/?tn=0&l0=package>
- [42] Author: Atmel Title: ATmega328P Link:https://ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7810-Automotive-Microcontrollers-ATmega328P_Datasheet.pdf
- [43] Author: Turck duotec Title: Kurz erklärt: SMD Link:<https://blogtronic.turck-duotec.com/de/blog/kurz-erklart-smd.html>
- [44] Author: Scott Schneeweis Title: Artifact: Digital Computer Memory and Circuit Boards, LVDC, Saturn IB/V Guidance, Navigation and Control Link:http://spaceaholic.com/index.php/Detail/Object/Show/object_id/23#
- [45] Author: Norbert Graubner Title: SMD-Reflow-Löten für Amateure Link:https://www.beta-estore.com/download/rk/RK-10001_76.pdf
- [46] Author: eurolacer Title: eurolacer atom 3 Link:<https://www.eurolacer.com/flexible-high-speed-placement-atom3/>
- [47] Author: Nikon Metrology NV Title: Röntgenprüfung von BGA, Bonddraht-Verbindungen, MEMS, bestückten Leiterplatten Link:<https://www.nikonmetrology.com/de/branchen/werkstoffprufung/rontgenprufung-von-bga-bonddraht-verbindungen-mems-bestuckten-leiterplatten>
- [48] Author: Yadav Venugopal Title: The Advantages and Disadvantages of Surface Mount Technology (SMT) Link:<https://www.protoexpress.com/blog/good-not-so-good-sides-surface-mount-technology/>
- [49] Author: JOHN BURKHERT Title: PCB Layout of Chips On Board - Skip the Package and Join the Fun Link:<https://resources.pcb.cadence.com/blog/jbj-pcb-layout-of-chips-on-board-skip-the-package-and-join-the-fun>
- [50] Author: Preeti Jain Title: COB ICs Link:https://www.engineersgarage.com/article_page/cob-ics/
- [51] Author: AIMEE KALNOSKAS Title: CMOS logic ICs now come in SOIC packages Link:<https://www.microcontrollertips.com/cmos-logic-ics-now-come-soic-packages/>
- [52] Author: JEDEC Title: Standard - Plastic Dual Small Outline (SO) Gull Wing, 1.27 mm Pitch Package Link:<https://www.jedec.org/system/files/docs/MS-012G-02.pdf>
- [53] Author: Fujitsu Semiconductor Limited Title: IC Package Link:<https://www.fujitsu.com/cn/en/Images/a810000114e-en.pdf>
- [54] Author: Bittele Electronics Inc. Title: PLCC Component Packages Link:<https://www.7pcb.com/blog/plcc-component-packages.php>
- [55] Author: Intel Title: The Chip Scale Package (CSP) Link:<https://www.intel.com/content/dam/www/public/us/en/documents/packaging-databooks/packaging-chapter-15-databook.pdf>
- [56] Author: Balaram Ghosal et al. Title: Area Array Interconnection Handbook (S. 551-576) Link:https://link.springer.com/chapter/10.1007%2F978-1-4615-1389-6_14
- [57] Author: CPU-Galerie.de Title: Intel 80486 Prozessoren Link:<http://www.cpu-galerie.de/html/intel486-80486dx.html>
- [58] Author: Dr. Michael Riess Title: RoHS-Richtlinie: Weitere Stoffe und Geräte ab 22. Juli 2019 verboten Link:<https://www.vde.com/tic-de/news/2019-1/rohs-richtlinie-erweitert>
- [59] Author: TopLine Title: What is CCGA Column Grid Array? Link:https://www.topline.tv/CCGA_WhatIs.html
- [60] Author: Advanced Micro Devices, Inc Title: Thermal Design Guide for Socket SP3 Processors Link:<http://developer.amd.com/wordpress/media/2013/12/ThermalGuideforSP3.pdf>
- [61] Author: Microsemi Title: Application Note Ceramic Column Grid Array Link:https://www.microsemi.com/document-portal/doc_view/129892-ac190-ceramic-column-grid-array-application-note
- [62] Author: HelloTech Title: How to Choose a Motherboard Link:<https://www.hellotech.com/blog/how-to-choose-a-motherboard>
- [63] Author: Texas Instruments Title: Multi-Chip Packages Link:<https://www.ti.com/lit/an/snoa287/snoa287.pdf>
- [64] Author: infineon Title: Infineon erschließt dritte Dimension der Chip-Integration: SOLID-Technologie verbindet ICs mit speziellem Lötverfahren vertikal Link:<https://www.infineon.com/cms/de/about-infineon/press/market-news/2002/128981.html>
- [65] Author: Bryan Black et al. Title: Die Stacking (3D) Microarchitecture Link:<https://ieeexplore.ieee.org/document/4041869>

- [66] Author: J. Tang et al. Title: Failure analysis of complex 3D stacked-die IC packages using Microwave Induced Plasma afterglow decapsulation Link:<https://ieeexplore.ieee.org/document/7159691>
- [67] Author: Resve Saleh et al. Title: System-on-Chip: Reuse and Integration Link:https://eecs.wsu.edu/~pande/Journal_Papers/Paper_IEEE_Proceedings.pdf
- [68] Author: Octavo Systems Title: SiP Technology Link:<https://octavosystems.com/sip-technology/>
- [69] Author: Advanced Micro Devices, Inc Title: High-Bandwidth Memory (HBM) Reinventing Memory Technology Link:<https://www.amd.com/system/files/documents/high-bandwidth-memory-hbm.pdf>
- [70] Author: Moody Dreiza Title: Package on Package (PoP) Stacking and Board Level Reliability, Results of Joint Industry Study Link:https://www.smtnet.com/library/files/upload/PoP_Stacking_IMAPS_0306.pdf
- [71] Author: Dezső Sima Title: Apple's mobile processors Link:https://users.nik.uni-obuda.hu/sima/letoltes/Processor_families_Knowledge_Base_2019/Apple%27s_processor_lines_2018_12_23.pdf
- [72] Author: corelis Title: Package-on-Package (PoP) handling with ScanExpress Boundary-scan Tools Link:<https://www.corelis.com/blog/package-on-package-pop-handling-with-scanexpress-boundary-scan-tools/>
- [73] Author: Texas Instruments Title: AN-1112 DSBGA Wafer Level Chip Scale Package Link:<https://www.ti.com/lit/an/snva009ai/snva009ai.pdf>
- [74] Author: Gary Griffin Title: A Design and Manufacturing Guide for the lead frame Chip scale Package (LFCSP) Link:<https://www.analog.com/media/en/technical-documentation/app-notes/an-772.pdf>
- [75] Author: Xuejun Fan Title: Wafer Level Packaging (WLP): Fan-in,Fan-out and Three-Dimensional Integration Link:<https://ieeexplore.ieee.org/document/5464548>
- [76] Author: Choon Lee Title: What's What In Advanced Packaging Link:<https://semiengineering.com/whats-what-in-advanced-packaging/>
- [77] Author: Cedric Durand et al. Title: High Performance RF Inductors Integrated in Advanced Fan-Out Wafer Level Packaging Technology Link:<https://ieeexplore.ieee.org/document/6160146>